

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

29.11.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年 1 2 月    8 日  
Date of Application:

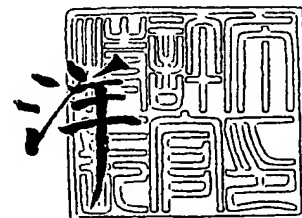
出 願 番 号            特 願 2 0 0 3 - 4 0 8 3 9 3  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 4 0 8 3 9 3 ]

出      願      人            株式会社河合楽器製作所  
Applicant(s):

2 0 0 5 年    1 月 1 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



【書類名】 特許願  
【整理番号】 KW15321  
【提出日】 平成15年12月 8日  
【あて先】 特許庁長官殿  
【国際特許分類】 G10H 7/02  
【発明者】  
    【住所又は居所】 静岡県浜松市寺島町 2 0 0 番地 株式会社河合楽器製作所内  
    【氏名】 平野 哲也  
【特許出願人】  
    【識別番号】 000001410  
    【氏名又は名称】 株式会社河合楽器製作所  
【代理人】  
    【識別番号】 100086863  
    【弁理士】  
    【氏名又は名称】 佐藤 英世  
【手数料の表示】  
    【予納台帳番号】 061528  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9503957

**【書類名】 特許請求の範囲****【請求項 1】**

波形メモリに対して、1チャンネルのタイミング中に複数のアクセスタイミングで波形読み出しが可能な音源を備えた波形再生装置であって、

音源単体使用モードと複数使用モードの切り替えを行うモード切替手段と、

指定したピッチを累算する累算器と、

累算器の上位データを連続したアドレスに加工する上位アドレス加工手段と、

他の音源からの波形メモリへのアドレスを受信し記憶する他音源アドレス記憶手段と、

上記モード切替手段によるモード切り替えとアクセスタイミングに応じて、上記累算器の上位データが示すアドレスと他音源アドレス記憶手段に記憶されたアドレスとを切り替えて出力すると共に、音源単体使用モードの時は、上記累算器の上位データが示すアドレス及びそのアドレスに連続する上位アドレス加工手段で加工されたアドレスを出力するアドレス切替出力手段と、

出力されたアドレスに基づいて、波形メモリから読み出された波形データを記憶する波形データレジスタと、

前のアクセスタイミングで読み出され該波形データレジスタに記憶されている波形データを、補間ポイント数-1だけ記憶するサンプルバッファと、

補間係数データを記憶する補間係数記憶手段と、

上記累算器の下位データに基づいて補間係数記憶手段から対応する補間係数を抽出する補間係数抽出手段と、

上記波形データレジスタ及びサンプルバッファに夫々記憶された波形データに対し、補間係数抽出手段により抽出された補間係数に基づいて該データの補間を行うサンプル補間手段と、

サンプル補間手段に入力するサンプルバッファ及び波形データレジスタに記憶された波形データを、上記モード切替手段のモード切替信号及び累算器の上位データが示すアドレス値に応じて、サンプルバッファ及び波形データレジスタの中から選択する選択手段とを有することを特徴とする波形再生装置。

**【請求項 2】**

上記サンプル補間手段によるサンプル補間が、4ポイント補間で行われることを特徴とする請求項1記載の波形再生装置。

## 【書類名】 明細書

## 【発明の名称】 波形再生装置

## 【技術分野】

## 【0001】

本発明は、波形メモリを複数で共有する機能を持った音源チップを備えている波形再生装置に関する。

## 【背景技術】

## 【0002】

同時発音数を増やすための手段として、音源LSIを複数使用するシステムがある。またこれらの構成では、波形メモリをその複数の音源LSIが共有し、波形メモリのコストを抑える方法がとられることがある。

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0003】

このような複数の音源LSIを備えている上記システムにおいて、同時発音数を増やさずに、上記音源を単体で使用する場合もある。この時、主たる音源（マスタ音源）以外の音源（スレーブ音源）用に割り当てられたアクセスタイミングが空いてしまうことになる。

## 【0004】

この場合、使用していないアクセスタイミングをそのままにする（後述する図9中段左側）か、或いはマスタ音源のアクセスタイミングを延長して（後述する図9中段右側）、遅いメモリの使用を可能にするなどの方法がとられることもある。

## 【0005】

しかし、マスタ音源のアクセスタイミングだけでアクセス時間が十分満たされている場合には、アドレスタイミングの延長は意味がない。またスレーブ音源のアクセスタイミングを活用したとしても、再生される楽音への制御のし易さや音質などの向上はない。

## 【0006】

本発明は、以上のような問題に鑑み創案されたもので、使用していないスレーブ音源のアクセスタイミングを有効に利用できる波形再生装置を提供せんとするものである。

## 【課題を解決するための手段】

## 【0007】

そのため本発明の構成は、

波形メモリに対して、1チャンネルのタイミング中に複数のアクセスタイミングで波形読み出しが可能な音源を備えた波形再生装置であって、

音源単体使用モードと複数使用モードの切り替えを行うモード切替手段と、

指定したピッチを累算する累算器と、

累算器の上位データ（整数部）を連続したアドレスに加工する上位アドレス加工手段と

他の音源からの波形メモリへのアドレスを受信し記憶する他音源アドレス記憶手段と、

上記モード切替手段によるモード切り替えとアクセスタイミングに応じて、上記累算器の上位データが示すアドレスと他音源アドレス記憶手段に記憶されたアドレスとを切り替えて出力すると共に、音源単体使用モードの時は、上記累算器の上位データが示すアドレス及びそのアドレスに連続する上位アドレス加工手段で加工されたアドレスを出力するアドレス切替出力手段と、

出力されたアドレスに基づいて、波形メモリから読み出された波形データを記憶する波形データレジスタと、

前のアクセスタイミングで読み出され該波形データレジスタに記憶されている波形データを、補間ポイント数-1だけ記憶するサンプルバッファと、

補間係数データを記憶する補間係数記憶手段と、

上記累算器の下位データ（少数部）に基づいて補間係数記憶手段から対応する補間係数

を抽出する補間係数抽出手段と、

上記波形データレジスタ及びサンプルバッファに夫々記憶された波形データに対し、補間係数抽出手段により抽出された補間係数に基づいて該データの補間を行うサンプル補間手段と、

サンプル補間手段に入力するサンプルバッファ及び波形データレジスタに記憶された波形データを、上記モード切替手段のモード切替信号及び累算器の上位データが示すアドレス値に応じて、サンプルバッファ及び波形データレジスタの中から選択する選択手段とを有することを基本的特徴としている。

#### 【0008】

上記構成によれば、モード切替手段で、音源単体使用モードに設定されている場合に、使用されていない他の音源のアクセスタイミングを使用している音源のアクセスタイミングとして割り当てることで、再生ピッチの範囲の上限を1オクターブ拡張できるようになる。

#### 【発明の効果】

#### 【0009】

本発明の請求項1乃至請求項2記載の波形再生装置によれば、使用されていない他の音源のアクセスタイミングの有効利用を図り、再生ピッチの範囲の上限を1オクターブ拡張できるようになるという優れた効果を奏し得る。

#### 【発明を実施するための最良の形態】

#### 【0010】

以下、本発明の実施の形態を図示例と共に説明する。

#### 【0011】

#### (実施例1)

図1は、本発明に係る波形再生装置の構成が用いられた電子楽器（例えば電子オルガン）の回路概略図である。

#### 【0012】

本電子楽器は、上中下段の鍵盤及びフットペダルなどに夫々異なる音色が割り当てることができるようになっており、しかも鍵盤は、左右でスプリットされ、夫々の位置で同じく違う音色が設定できるようになっている。従って、これらの鍵盤などを押鍵すると、夫々の楽音が同時に発生するのに必要なチャンネル数は、32音色分のチャンネル数を越えることも多い。

#### 【0013】

本電子楽器は、図1に示すように、システムバス110を介して、CPU111、ROM112、RAM113、パネルスキャン回路114a、鍵盤スキャン回路115a、マスタ音源100及びスレーブ音源101が相互に接続されて構成されている。システムバス110は、アドレス信号、データ信号又は制御信号等を送受するために使用される。

#### 【0014】

CPU111は、ROM112に記憶されている制御プログラムに従って動作することにより本電子楽器の全体を制御する。

#### 【0015】

上記ROM112は、上述した制御プログラムの他に、CPU111が参照する種々のデータを記憶する。

#### 【0016】

上記RAM113は、CPU111が各種処理を実行する際に、種々のデータを一時記憶するために使用される。このRAM113には、レジスタ、カウンタ、フラグ等が定義されている。このうちの主なものについて説明する。なお、下記以外については、必要の都度説明する。

#### 【0017】

(a) 音色設定フラグ：後述する操作パネル114の設定により、マスタ音源100やスレーブ音源101から発生させる音色をどのチャンネルから発生させるかを示すための

データを記憶する。

#### 【0018】

(b) 1チップモードフラグ: 本電子楽器は、楽音の発生に関し後述するようにマスタ音源100及びスレーブ音源101と、それらが共用して使う波形メモリ102が備えられているが、上記音色設定フラグの設定によって、マスタ音源だけで楽音を発生させる場合や、演奏者の操作パネル114の操作により、音色設定フラグが変更され、マスタ音源だけで楽音を発生させる場合がある。その場合このフラグが立つことになる(=1)。この時後述するモード切替手段1は、該1チップモードフラグを参照し、モード切替信号(SNGF4)を出力する(0:2チップモード、1:1チップモード)。

#### 【0019】

パネルスキャン回路114aには、操作パネル114が接続されている。操作パネル114には、例えば同時発音数を増やさず、例えば64チャンネルから逆に32チャンネルにするなど、音源を単体(マスタ音源100だけ)で使用する場合があります(使用する音色数が少ない場合など)、その場合は、該操作パネル114の音色選択により音色設定フラグの設定がなされ、32チャンネルなどのチャンネル設定を行うことがある。また、上述のように、演奏者の操作パネル114の操作により、音色設定フラグが変更され、マスタ音源だけで楽音を発生させる場合もある。ピッチ変化の範囲が広い音色もあり、その場合マスタ音源だけで楽音を発生させる場合がある。尚、図示は省略するが、各スイッチの設定状態を表示するLED表示器、種々のメッセージを表示するLCD等が設けられている。

。

#### 【0020】

上記チャンネル設定や演奏者の操作パネル114の操作により、上記1チップモードフラグが立つと、マスタ音源100だけが使用される状態となる。またそのチャンネル設定変更や操作パネル114の操作により、1チップモードフラグが解除されると、マスタ音源100及びスレーブ音源101により、32チャンネルを超えるチャンネル設定ができるようになる。

#### 【0021】

上記パネルスキャン回路114aは、CPU111からの指令にตอบสนองして操作パネル114上の各スイッチをスキャンし、このスキャンにより得られた各スイッチの開閉状態を示す信号に基づいて、各スイッチを1ビットに対応させたパネルデータを作成する。各ビットは、例えば「1」でスイッチオン状態、「0」でスイッチオフ状態を表す。このパネルデータは、システムバス110を介してCPU111に送られる。このパネルデータは、操作パネル114上のスイッチのオンイベント又はオフイベントが発生したかどうかを判断するために使用される。

#### 【0022】

また、パネルスキャン回路114aは、CPU111から送られてきた表示データを操作パネル114上のLED表示器及びLCDに送る。これにより、CPU111から送られてきたデータに従って、LED表示器が点灯/消灯され、またLCDにメッセージが表示される。

#### 【0023】

上記鍵盤スキャン回路115aには、鍵盤115で生成される押鍵データを検出する。すなわち、これらの鍵盤115には、夫々2点スイッチが設けられており、任意の鍵盤115が所定以上の深さまで押し下げられたことを検出すると、その鍵盤の音高データ(キーナンバ)の押鍵信号を生成すると共に、2点スイッチ間を通過する速度からベロシティを生成し、それらを押鍵データとして、鍵盤スキャン回路115aに送る。2点スイッチとしては、鍵が所定以上の深さまで押し下げられたことを検出できる光センサ、圧力センサ、その他のセンサを使用できる。鍵盤スキャン回路115aは、2点スイッチからの押鍵データを受け取ると、それをCPU111に送る。

#### 【0024】

鍵盤スキャン回路115aからの押鍵データは、CPU111により、RAM113上

の音色設定フラグ及び1チップモードフラグが参照され、夫々のチャンネルに対応するマスタ音源100、乃至マスタ音源100及びスレーブ音源101に送られることになる。

#### 【0025】

マスタ音源100及びスレーブ音源101は、1つの波形メモリ102を共用し、該波形メモリ102に対して、読み出しアドレスを発生し、原データを読み出す。読み出された原データの補間処理を行った後、同じく同回路で生成された音色毎のエンベロープを乗算し、夫々の音色の波形データを設定されたチャンネル分累算して、外部に波形データとして出力する。ただし、上記スレーブ音源101は、通常の音源構成を有しているが、そこから発せられる波形メモリ102の読み出しアドレスは、マスタ音源100に輸入され、後述するように、他音源アドレス記憶手段4に一時的に記憶される。また波形メモリ102から読み出された原データは夫々の音源100及び102に輸入される。さらに、これらの音源から出力された波形データは、D/A変換回路116に輸入され、デジタルアナログ変換され、アンプ117で増幅され、スピーカ118から外部に楽音として放出される。

#### 【0026】

上記マスタ音源100は、図2に示すように、モード切替手段1と、累算器2と、上位アドレス加工手段3と、他音源アドレス記憶手段4と、アドレス切替出力手段5と、波形データレジスタ6と、サンプルバッファ7と、補間係数記憶手段8と、補間係数抽出手段9と、サンプル補間手段10と、選択手段11とを備えている。

#### 【0027】

該マスタ音源100は、専用のLSIで設計されており、図示しないが、内部に、バッファやレジスタと、補間時の所定の係数を記憶する固定記憶部などから構成されている。それによって、上記各手段が構成されることになる。

#### 【0028】

そのうちモード切替手段1は、上記CPU111によりRAM113上に設定された1チップモードフラグを参照し、モード切替信号(SNGF4)を、後述するアドレス切替出力手段5、累算器2のセクタ23及び選択手段11を構成するAND回路の入力側へ出力する[0:2チップモード(=音源複数使用モード)であって、マスタ音源100及びスレーブ音源101を使用することを意味する、1:1チップモード(=音源単体使用モード)であって、マスタ音源100のみを使用することを意味する]。

#### 【0029】

累算器2は、後述する図3に示すような構成により、指定したピッチが出力され、その値を従前の値と累算するアキュムレータ20及び加算器21を主な構成としている。すなわち、同図に示すように、すなわち、上記固定記憶部に浮動小数点形式のピッチパラメータ(omg)が記憶されており、それが読み出された際、その指数部は、後述するバレルシフタ24に輸入され、その仮数部は、乗算器22及びセクタ23に直接入力される。乗算器22では、仮数部の値を2倍にしており、セクタ23は、上記モード切替手段1によるモード切替信号(SNGF4)によって、2チップモードの時は、仮数部のそのままの値を、また1チップモードの時は、仮数部を2倍した値をバレルシフタ24に輸入している。そして該バレルシフタ24により、固定小数点形式へ変換された後、指定したピッチとして上記加算器21に輸入される。それから後は、上述のように、該ピッチの値が従前の値と累算される。1チップモードの時に、仮数部を2倍した値をバレルシフタ24に輸入しているのは、ピッチパラメータは設定可能な最大値で正規化されており、2チップモードに比べ1チップモードは絶対値で倍のピッチが設定可能になるためである。

#### 【0030】

上位アドレス加工手段3は、累算器2の上位データ(整数部)を連続したアドレスに加工する。すなわち、図4に示すように、該上位アドレス加工手段3は、レジスタ(WAMtr)30及びLSB制御部31から構成されており、累算器2から出力された上位データ(整数部)を偶数アドレス値に丸め(LSB制御部31は整数部最下位ビットの値を0にマスクする加工を行う)最初のアドレスとし、それに続くアドレスを生成する(LSB制御

部 31 は整数部最下位ビットの値を 1 にマスクする加工を行う)。すなわち、ここで生成されたアドレスは、波形メモリアクセスのタイミングにより、同一チャンネル前半時（タイミング制御信号 0）に上位アドレス加工手段 3 から出力された最初のアドレスがアドレス切替出力手段 5 に入力された（SNGF4MA）後、同一チャンネル後半時（タイミング制御信号 1）に、同じくアドレス切替出力手段 5 に入力される（SNGF4MA）。

#### 【0031】

他音源アドレス記憶手段 4 は、スレーブ音源 101 から出力される波形読み出しアドレス値を受信し記憶する。このアドレス値は、モード切替手段 1 のモード設定信号が 0 である 2 チップモードの際、波形メモリ 102 アクセスのタイミング信号が 1 の同一チャンネル後半に変わった場合に、後述するアドレス切替出力手段 5 からスレーブ音源 101 の波形読み出しのアドレスとして出力されることになる。

#### 【0032】

アドレス切替出力手段 5 は、上記モード切替手段 1 によるモード切替信号（SNGF4）と波形メモリ 102 アクセスのタイミングに応じて、上記累算器 2 の上位データが示すアドレス（マスタ音源 100 の読み出しアドレス）と他音源アドレス記憶手段 4 に記憶されたアドレス（スレーブ音源 101 の読み出しアドレス）とを切り替えて出力する（SNGF2MA：2 チップモード、すなわち SNGF4=0 の時のアドレス）。また上記モード切替手段 1 によるモード切替信号（SNGF4）が 1 チップモード（音源単体使用モード）を示す時（すなわち SNGF4=1 の時）は、上記累算器 2 の上位データが示すアドレスを上位アドレス加工手段 3 で加工されたアドレス（LSB 制御部 31 により最下位ビットが 0 にマスク加工された整数部の値）、及びそのアドレスに連続する上位アドレス加工手段 3 で加工されたアドレス（最初のアドレスに続くアドレス；LSB 制御部 31 により最下位ビットが 1 にマスク加工された整数部の値）を出力する（SNGF4MA）。

#### 【0033】

波形データレジスタ 6 は、図 2 及び図 4 に示すようにして出力されたアドレスに基づいて、波形メモリ 102 から読み出された波形データを記憶する。後述する図 5 及び図 6 では、DWa 及び DWb で示される。

#### 【0034】

サンプルバッファ 7 は、前のアクセスタイミングで読み出され該波形データレジスタ 6 に記憶されている波形データを、（補間ポイント数-1）だけ記憶するバッファである。例えば、後にサンプル補間手段 10 によって行われる補間処理が 4 ポイント補間処理の場合は、新しく入力されてくる前の 3 つの波形データを記憶しておく。後述する図 5 及び図 6 では、Z1、Z2 及び Z3 で示される。また 2 ポイント補間処理の場合は、新しく入力されてくる前の 1 つの波形データを記憶しておくことになる。尚、波形データにおける 4 ポイント補間処理とは、前後の 2 ポイントの値が求められることで、その間の 1 ポイントの値を補間値とするという処理である。また同 2 ポイント補間処理とは、ポイントとポイントの間の値が、補間しようとする値として求められる処理である。

#### 【0035】

補間係数記憶手段 8 は、図 5（a）に示すような補間係数カーブを記憶してある。

#### 【0036】

補間係数抽出手段 9 は、上記累算器 2 の下位データ（少数部）に基づいて、上記補間係数記憶手段 8 から、対応する補間係数を抽出する。すなわち、図 5（a）の例では、補間係数記憶手段 8 に 512 ワード（9 bit）で上記補間係数カーブが記憶されており、補間係数カーブのメモリアドレスが 0～127、128～255、256～383、384～511 の 4 つのグループに分類されていれば、累算器 2 から出力される小数部は、下位 7 bit あれば、同時に 4 つの補間係数を抽出することができる。すなわち、1 つ目の補間係数 C0 は、 $0 + (0 \sim 127)$  のアドレスの値の係数値が、2 つ目 C1 は、 $128 + (0 \sim 127)$  のアドレスの値の係数値が、3 つ目 C2 は、 $256 + (0 \sim 127)$  のアドレスの値の係数値が、4 つ目 C3 は、 $384 + (0 \sim 127)$  のアドレスの値の係数値が、抽出される。



## 【0037】

通常の4ポイント補間を行う従来の構成では、図5(b)に示すように、波形メモリ102から読み出されてレジスタMWpDを介して、波形データレジスタDWaに記憶された波形データに補間係数C0が乗算され、それ以前にサンプルバッファZ1、Z2及びZ3に読み出された波形データの値に、夫々補間係数C1、C2及びC3の値が乗算され、最後にこれらの値が累算されて波形データとして出力されることになる(ここでは、1サンプル進行毎に波形データレジスタDWaに記憶されていたデータは、サンプルバッファZ1に、サンプルバッファZ1に記憶されていたデータは、サンプルバッファZ2に、サンプルバッファZ2に記憶されていたデータは、サンプルバッファZ3に、シフトし更新される)。本発明の構成の場合は後述する図6で説明する。

## 【0038】

サンプル補間手段10は、図2に示すように、上記波形データレジスタ6及びサンプルバッファ7に夫々記憶された波形データに対し、補間係数抽出手段9により抽出された補間係数に基づいて、該データの補間を行う。より具体的な構成は、後述する図6に示されるように、乗算器10a~10dと、累算器10eとにより構成される。この補間方法については後述する。

## 【0039】

選択手段11は、後述する図7のCsel信号を出力するAND回路で構成され、サンプル補間手段10の乗算器10a~10dに入力するサンプルバッファ7及び波形データレジスタ6に記憶された波形データを、上記モード切替手段1のモード切替信号及び累算器2の上位データが示すアドレス値のLSBに応じて、サンプルバッファ7及び波形データレジスタ6の中から選択する。その状態を、図6及び図7を用いて説明する。

## 【0040】

本実施例のサンプル補間手段10で行われる補間も、基本的には4ポイント補間である。図6に示すサンプル補間手段10の乗算器10a~10dに保持されるCa、Cb、Cc、Cdはいずれも、補間係数抽出手段9から抽出された補間係数である。またレジスタMWpDには、波形メモリ102から読み出された波形データが取り込まれる。尚、図中DWa及びDWbは、上記波形データレジスタ6であり、またZ1、Z2及びZ3は、サンプルバッファ7である。

## 【0041】

2チップモードの時であれば、図8に示すように、波形データレジスタDWaには、上記アドレス切替出力手段5により、同一1チャンネル時間の前半にマスタ音源100の累算器2の上位アドレス(整数部: SNGF2MA)で指定され読み出された波形データと、上記アドレス切替出力手段5により、同一1チャンネル時間の後半にマスタ音源100の他音源アドレス記憶手段4に記憶されているアドレス(SNGF2MA)で指定され読み出された波形データとが、順次取得され、もう一方の波形データレジスタDWbは使用されない。

## 【0042】

また1チップモードの時であれば、波形データレジスタDWaには、上記アドレス切替出力手段5により、上位アドレス加工手段3から出力される最初のアドレス(LSB制御部31により最下位ビットが0にマスク加工された整数部の値: SNGF4MA)で指定され、同一1チャンネル時間の前半に読み出された波形データが取得され、また波形データレジスタDWbには、同じくアドレス切替出力手段5により、上位アドレス加工手段3により加工された最初のアドレスに連続するアドレス(最初のアドレスに続くアドレス; LSB制御部31により最下位ビットが1にマスク加工された整数部の値: SNGF4MA)で指定され、同一1チャンネル時間の後半に読み出された波形データが取得される。

## 【0043】

このような波形データの取得の選択は、上述のように、選択手段11によってなされるが、そのCsel信号の切替を、図7を使用して説明する。すなわち、選択手段11を構成するAND回路の入力側の一方には、マスタ音源100の累算器2から出力された上位アドレス(整数部)のLSB(最下位ビット; It0)が、またその入力側の他方には、上

記モード切替手段1のモード切替信号(SNGF4; 0:2チップモード、1:1チップモード)が、夫々入力信号として取り込まれる。

【0044】

上述のように、モード切替信号(SNGF4)が0の場合は、2チップモードであり、波形データレジスタDWaだけが使用され、上位アドレスのLSB(It0)が0及び1であっても、Csel信号出力は0であり、上述の図8に示すように、波形データレジスタDWaには、上記アドレス切替出力手段5により、同一チャンネル時間の前半にマスタ音源100の累算器2の上位アドレス(整数部)で指定され読み出された波形データと、上記アドレス切替出力手段5により、同一チャンネル時間の後半にマスタ音源100の他音源アドレス記憶手段4に記憶されているアドレスで指定され読み出された波形データとが、順次取得され、サンプリングバッファZ1、Z2及びZ3に記憶されている従前の波形データと共に、夫々補間係数Ca、Cb、Cc及びCdが乗算されて出力される。

【0045】

他方モード切替信号(SNGF4)が1の場合は、1チップモードであり、波形データレジスタDWa及びDWbが共に使用される。

【0046】

上位アドレスのLSB(It0)が0の時Csel信号出力は0であり、波形データレジスタDWaに読み出された同一チャンネル時間の前半に読み出された波形データ、並びにサンプルバッファZ1、Z2及びZ3に記憶された波形データが夫々出力されて、上記乗算器10a~10dにより、補間係数Ca、Cb、Cc及びCdと乗算され、これらの乗算値が出力される。

【0047】

それが終了すると、図7の右下に記したように、波形データレジスタDWbに記憶されていたデータは、サンプルバッファZ1に、波形データレジスタDWaに記憶されていたデータは、サンプルバッファZ2に、サンプルバッファZ1に記憶されていたデータは、サンプルバッファZ3に、シフトし、更新される。本実施例構成では、3つのサンプルバッファの内、(累算器2のアドレスが)2サンプル進行した場合のみバッファが更新される。常に偶数・奇数の順でデータを読み込んでいないと、連続したサンプルにならないからである。よってLSB制御部31で常に偶数・奇数の順となるように制御している。

【0048】

次に上位アドレスのLSB(It0)が1の時Csel信号出力は1であり、波形データレジスタDWbに読み出された同一チャンネル時間の後半に読み出された波形データ、波形データレジスタDWaに読み出された同一チャンネル時間の前半に読み出された波形データ、並びにサンプルバッファZ1に記憶された波形データ、Z2に記憶された波形データが夫々出力されて、上記乗算器10a~10dにより、補間係数Ca、Cb、Cc及びCdと乗算され、これらの乗算値が出力される。

【0049】

それが終了すると、波形データレジスタDWbに記憶されていたデータは、サンプルバッファZ1に、波形データレジスタDWaに記憶されていたデータは、サンプルバッファZ2に、サンプルバッファZ1に記憶されていたデータは、サンプルバッファZ3に、シフトし、更新される。

【0050】

1チップモードでは、2回のアクセスタイミング(1チャンネル時間)毎に演算を行う。よって、1チャンネル時間毎に上述の処理が繰り返されることになる。

【0051】

以上の本実施例構成によれば、モード切替手段1がRAM113上の1チップモードフラグを参照して、マスタ音源100だけを使用する1チップモード(=0)の時に、アドレス切替出力手段5が、上位アドレス加工手段3から出力される最初のアドレスを、同一チャンネルの前半に波形メモリ102にアクセスするアドレスとして出力し、また上位アドレス加工手段3によって該前半アドレスに連続するアドレスを、同一チャンネルの後半

に波形メモリ 102 にアクセスするアドレスとして出力することになる。これらのアドレスに基づいて、波形メモリ 102 から波形データが波形データレジスタ 6 側に読み出される。

#### 【0052】

他方 1 チップモードであることを上記モード切替手段 1 から受けた選択手段 11 (図 7 の AND 回路) は、累算器 2 の整数部 (波形メモリ 102 アドレスの整数部の LSB) が、0 か 1 かによって、サンプル毎に、波形データレジスタ 6 及びサンプルバッファ 7 の波形データを選択し、サンプル補間手段 10 の乗算器 10a ~ 10d に出力することになる。

#### 【0053】

また累算器 2 の小数部 (7 bit) に基づき、補間係数抽出手段 9 によって、補間係数記憶手段 8 に記憶されている補間係数カーブ (512 ワード) から、4 点の補間係数が抽出され、同じくサンプル補間手段 10 の乗算器 10a ~ 10d に出力することになる。

#### 【0054】

従って、該サンプル補間手段 10 の乗算器 10a ~ 10d では、選択手段 11 から選択されて出力されてくる波形データレジスタ 6 の DWa 及びサンプルバッファ 7 の Z1、Z2 及び Z3、または波形データレジスタ 6 の DWb、DWa 及びサンプルバッファ 7 の Z1、Z2 の波形データに対し、抽出された補間係数 C0、C1、C2 及び C3 が掛けられた上で出力され累算されて、1 つの波形データとして出力されることになる。

#### 【0055】

このように処理がなされると、図 9 の本発明に係るタイミングチャートに示すように、1 チップモードの時には、ある t チャンネルの同一チャンネル時間中に、前半のメモリアクセス (TG1) による波形データと後半のメモリアクセス (TG2) による波形データが読み出され、使用されていないスレーブ音源 101 のアクセスタイミングを、マスタ音源 100 のアクセスタイミングとして割り当てることができるようになる。そのため、再生ピッチの範囲の上限を 1 オクターブ拡張可能となる。

#### 【0056】

これに対し、従来構成では、同図の従来として表されたタイミングチャートに示されるように、使用していないスレーブ音源 101 側のアクセスタイミングをそのままにする (図 9 中段左側) か、或いはマスタ音源 100 のアクセスタイミングを延長する (図 9 中段右側) ことになる。

#### 【0057】

(実施例 2)

図 10 は、サンプル補間手段 10 による補間処理が 2 サンプル補間処理で行われる場合の本発明に係る別実施例構成における、読み出し波形データの補間処理部分だけを取り出して示す概略説明図である。また図 11 は補間係数記憶手段 8 に記憶される 2 点補間の場合の補間係数データである。最初の場合補間係数 A は 0 であり、補間係数 B は 1 であるが、Y 軸方向の値で示される累算器 2 の小数部の値が大きくなると、次第に補間係数 A は上昇し、補間係数 B は下降する。途中でクロスして、補間係数 A は 1 となり、補間係数 B は 0 になる。その後は再び双方が反転して同じ状態を繰り返す。そうして抽出された補間係数が 2 点補間を行う係数として、サンプル補間手段 10 に出力される。

#### 【0058】

以上の第 2 実施例構成においても、補間処理が 2 ポイント補間になるだけで、使用されていないスレーブ音源 101 のアクセスタイミングを、マスタ音源 100 のアクセスタイミングとして割り当てることができるようになるため、同様に、再生ピッチの範囲の上限を 1 オクターブ拡張可能となる。

#### 【0059】

(実施例 3)

図 12 は、サンプル補間手段 10 による補間処理が最初の実施例と同じく 4 サンプル補間処理で行われる場合の本発明に係る他の実施例構成における、読み出し波形データの補

間処理部分だけを取り出して示す概略説明図である。上記第1実施例構成では、波形メモリ102が16ビットバスで、1サンプル16ビットのデータが記憶されている状態である。それに対し本実施例では、同じく波形メモリ102が16ビットバスで、1サンプル8ビットのデータが記憶されている構成である。従って、本実施例構成では、2チップモードの際に、夫々の音源用に2つの波形データが読み出される。また1チップモードの際には、1度のアクセスタイミングで、2つの波形データの読み出しを行い、波形データレジスタ6に、同一チャンネルの前半と後半のアクセスタイミングで、計4つの波形データが取得できることになる。そこで図6のDWa及びDWbとして示したレジスタは、DWa～DWdの4つが必要となる。また選択手段11の乗算器に出力される波形データレジスタ6及びサンプルバッファ7のデータは、DWd、DWc、DWb、DWa、Z1、Z2及びZ3の値のうち連続する4つのデータになる。

#### 【0060】

以上の第3実施例構成においても、波形データレジスタ6に、同一チャンネルの前半と後半のアクセスタイミングで、計4つの波形データが取得できるようになるだけで、使用されていないスレーブ音源101のアクセスタイミングを、マスタ音源100のアクセスタイミングとして割り当てることができるようになるため、このような構成においても同様に、再生ピッチの範囲の上限を1オクターブ拡張可能となる。

#### 【0061】

尚、本発明の波形再生装置は、上述の図示例にのみ限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変更を加え得ることは勿論である。

#### 【図面の簡単な説明】

#### 【0062】

【図1】本発明に係る波形再生装置の構成が用いられた電子楽器の回路概略図である。

【図2】マスタ音源100の機能ブロック構成を示す説明図である。

【図3】累算器2の構成を示す説明図である。

【図4】上位アドレス加工手段3とアドレス切替出力手段5の構成を示す説明図である。

【図5】補間係数カーブの記憶される補間係数記憶手段8の構成と、従来の構成における該補間係数カーブを用いた4ポイント補間処理の構成の一例を示す説明図である。

【図6】本発明の第1実施例構成における上記補間係数カーブを用いた4ポイント補間処理の構成を示す説明図である。

【図7】選択手段11の構成とその入出力信号の状態を示す説明図である。

【図8】本実施例構成の2チップモードにおけるマスタ音源100及びスレーブ音源101から波形メモリ102へのアクセスタイミング状態を示すタイミングチャートである。

【図9】本実施例構成及び従来構成の1チップモードにおけるマスタ音源100から波形メモリ102へのアクセスタイミング状態を示すタイミングチャートである。

【図10】本発明の第2実施例構成における読み出し波形データの補間処理部分だけを取り出して示す概略説明図である。

【図11】2点補間の場合の補間係数データの記憶状態を示す説明図である。

【図12】本発明の第3実施例構成における、同じく読み出し波形データの補間処理部分だけを取り出して示す概略説明図である。

#### 【符号の説明】

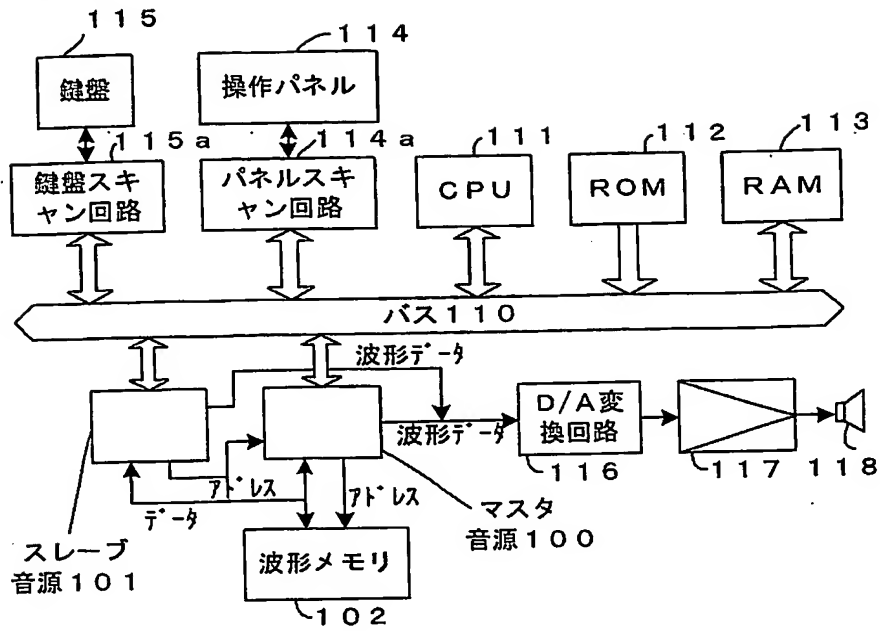
#### 【0063】

- |   |             |
|---|-------------|
| 1 | モード切替手段     |
| 2 | 累算器         |
| 3 | 上位アドレス加工手段  |
| 4 | 他音源アドレス記憶手段 |

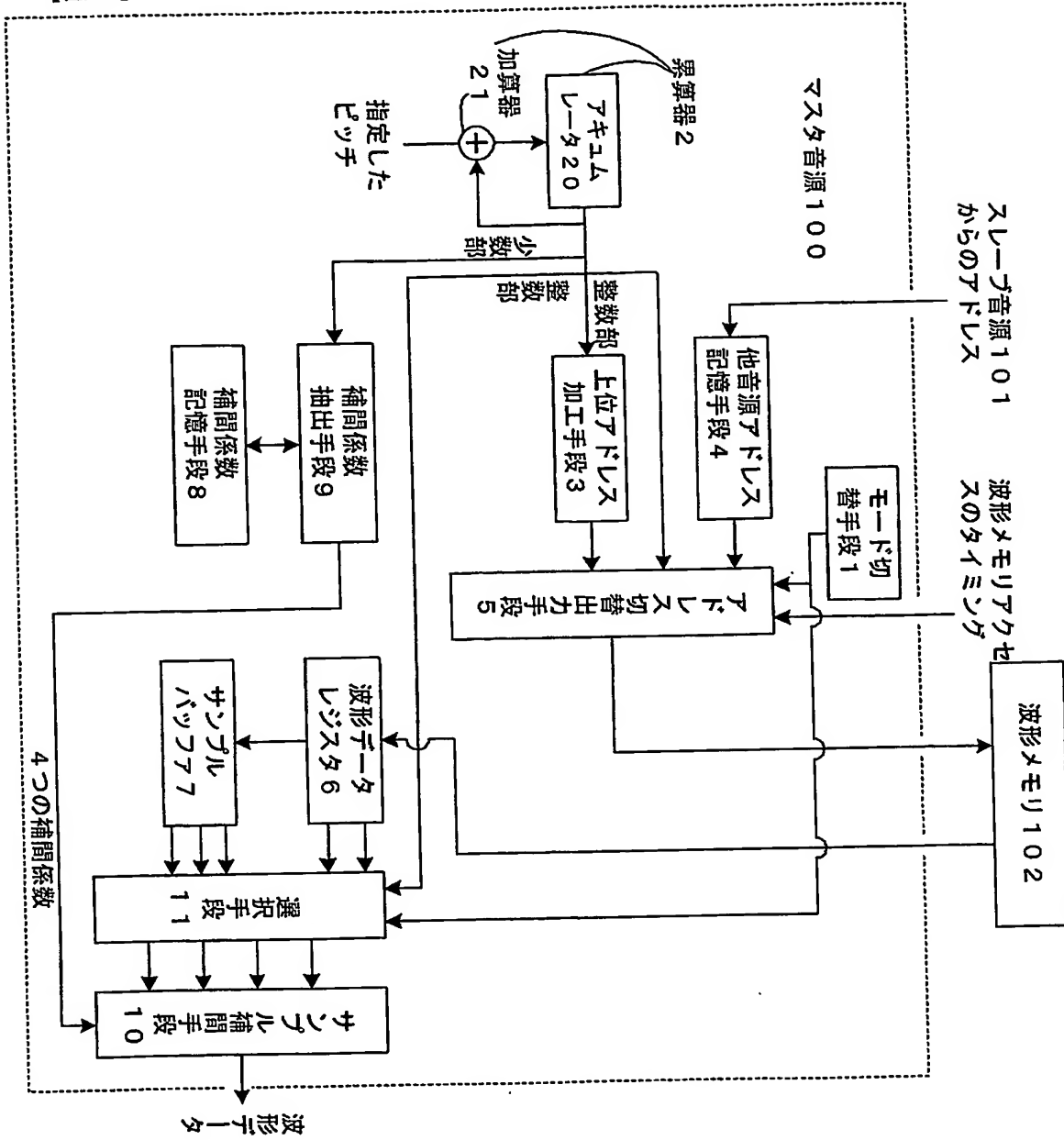
|               |                |
|---------------|----------------|
| 5             | アドレス切替出力手段     |
| 6             | 波形データレジスタ      |
| 7             | サンプルバッファ       |
| 8             | 補間係数記憶手段       |
| 9             | 補間係数抽出手段       |
| 1 0           | サンプル補間手段       |
| 1 0 a ~ 1 0 d | 乗算器            |
| 1 0 e         | 累算器            |
| 1 1           | 選択手段           |
| 2 0           | アキュムレータ        |
| 2 1           | 加算器            |
| 2 2           | 乗算器            |
| 2 3           | セレクタ           |
| 2 4           | バレルシフタ         |
| 3 0           | W A M t r レジスタ |
| 3 1           | L S B 制御部      |
| 1 0 0         | マスタ音源          |
| 1 0 1         | スレーブ音源         |
| 1 0 2         | 波形メモリ          |
| 1 1 0         | システムバス         |
| 1 1 1         | C P U          |
| 1 1 2         | R O M          |
| 1 1 3         | R A M          |
| 1 1 4         | 操作パネル          |
| 1 1 4 a       | パネルスキャン回路      |
| 1 1 5         | 鍵盤             |
| 1 1 5 a       | 鍵盤スキャン回路       |
| 1 1 6         | D / A 変換回路     |
| 1 1 7         | アンプ            |
| 1 1 8         | スピーカ           |

【書類名】 図面

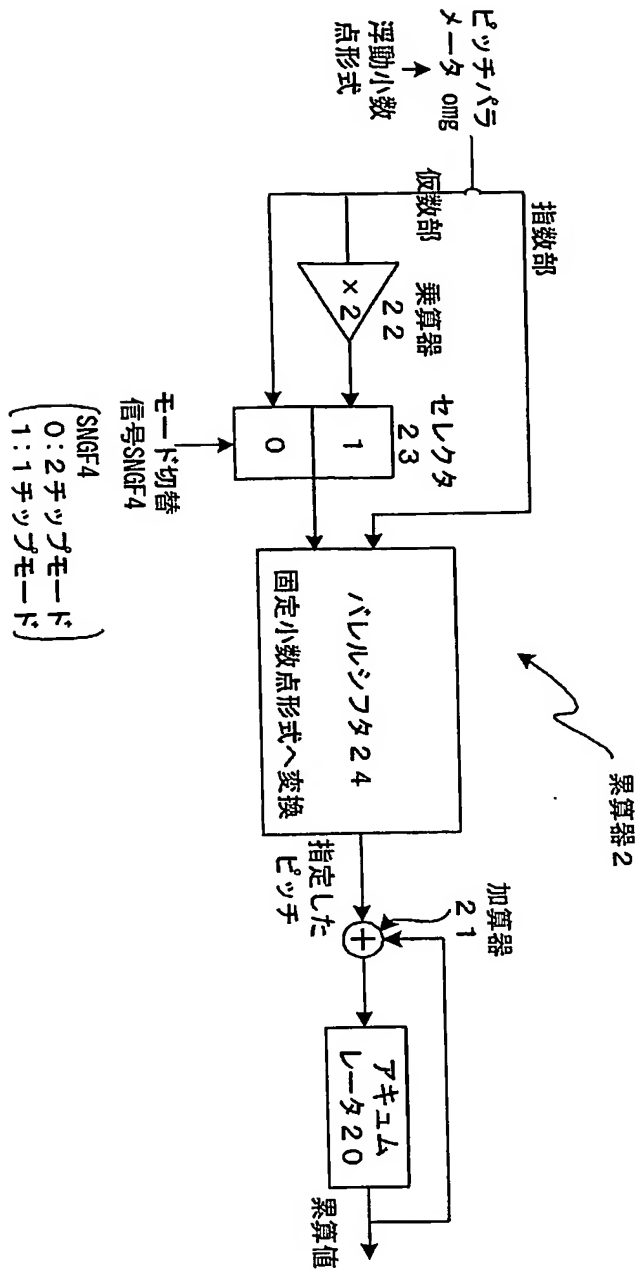
【図 1】



【図2】

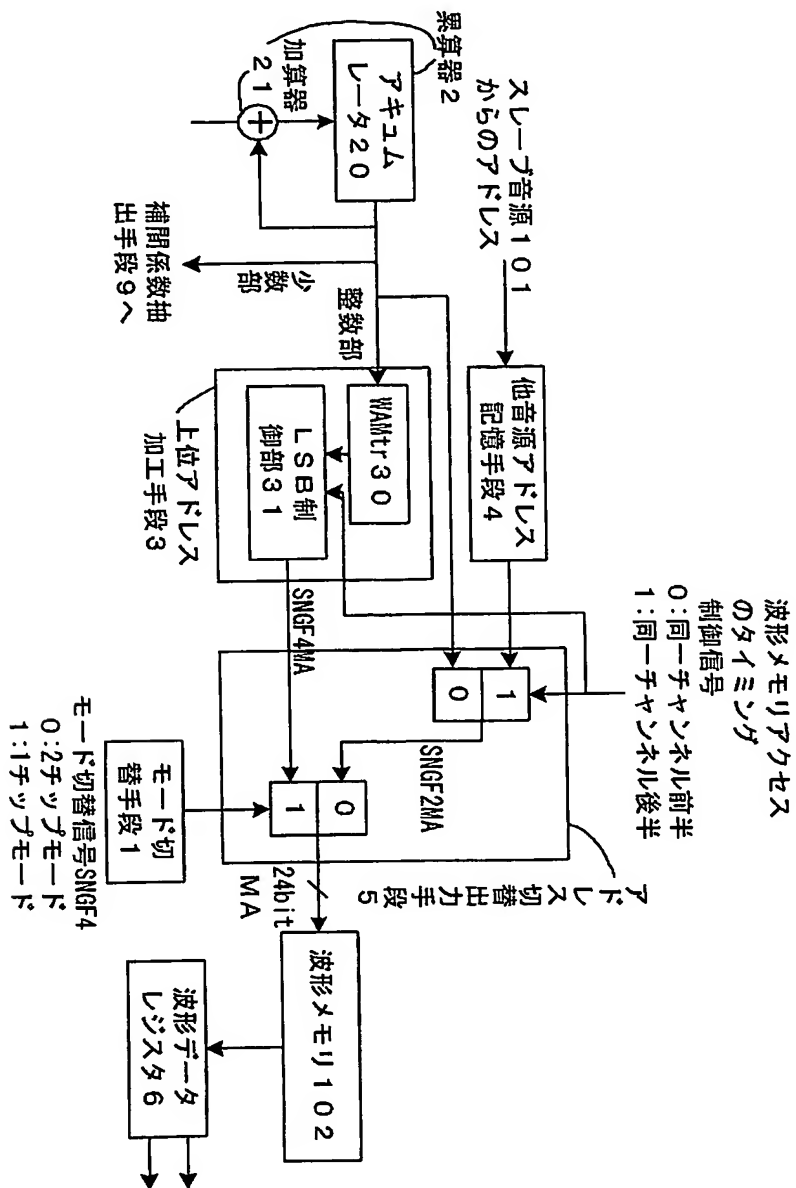


【図 3】

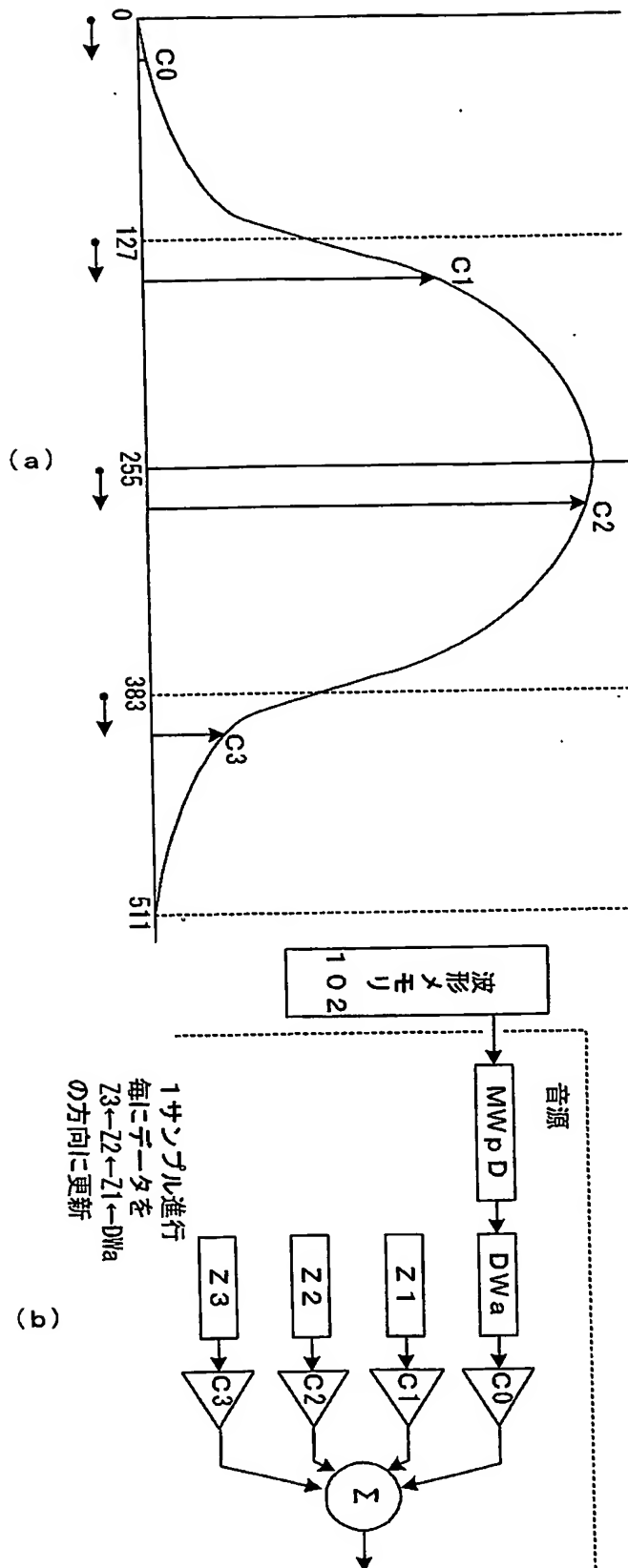




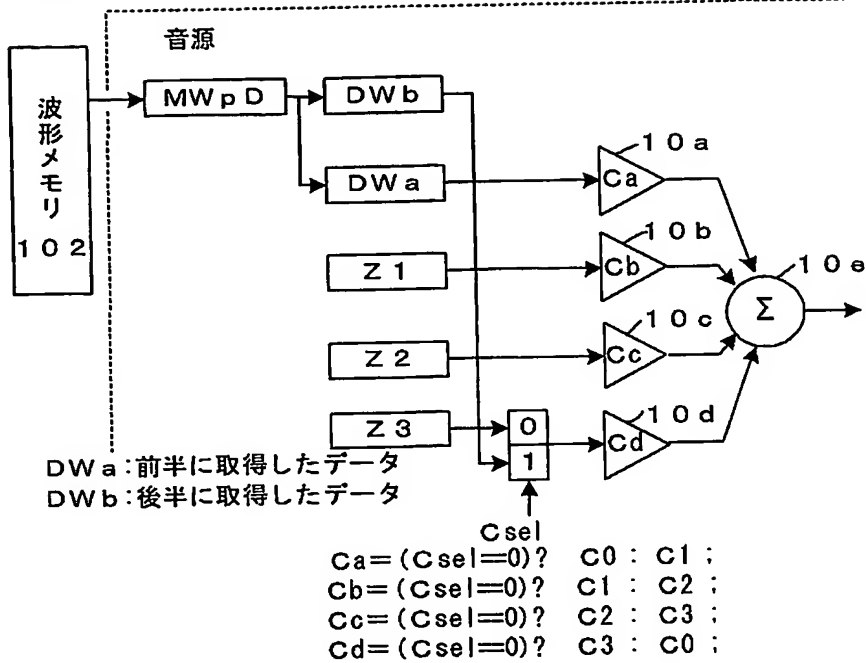
【図 4】



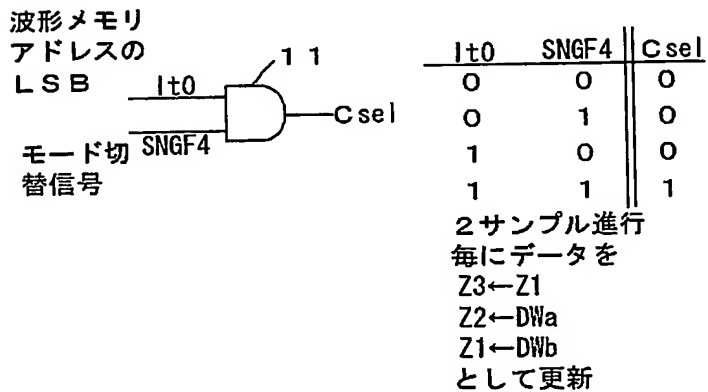
【図 5】



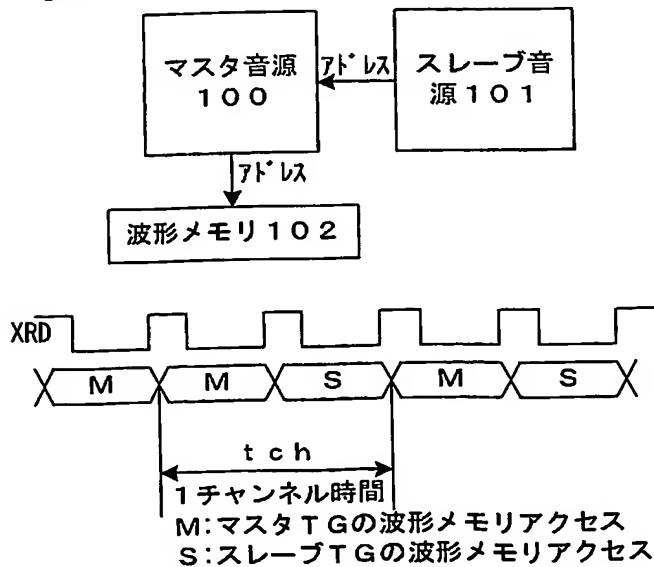
【図 6】



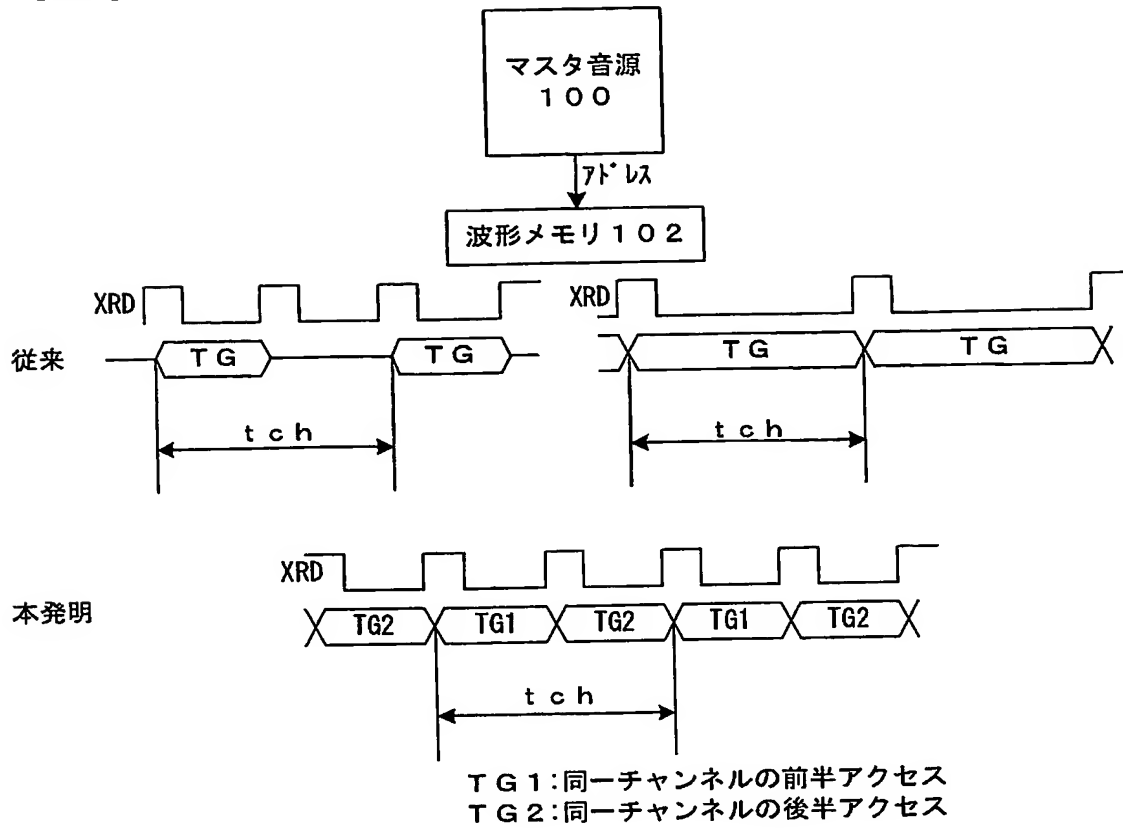
【図 7】



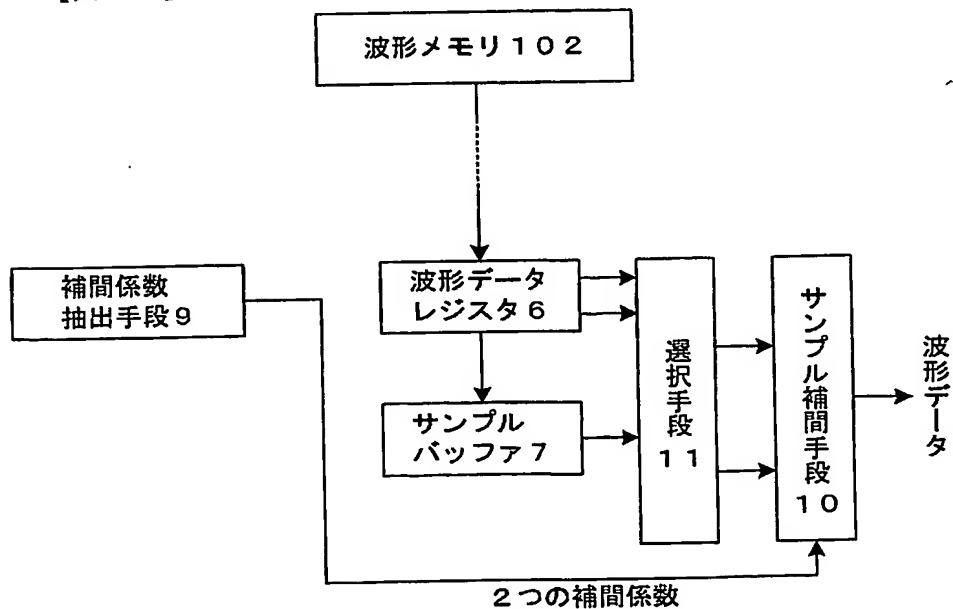
【図 8】



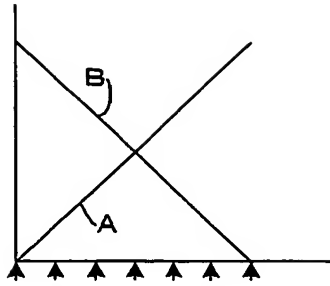
【図 9】



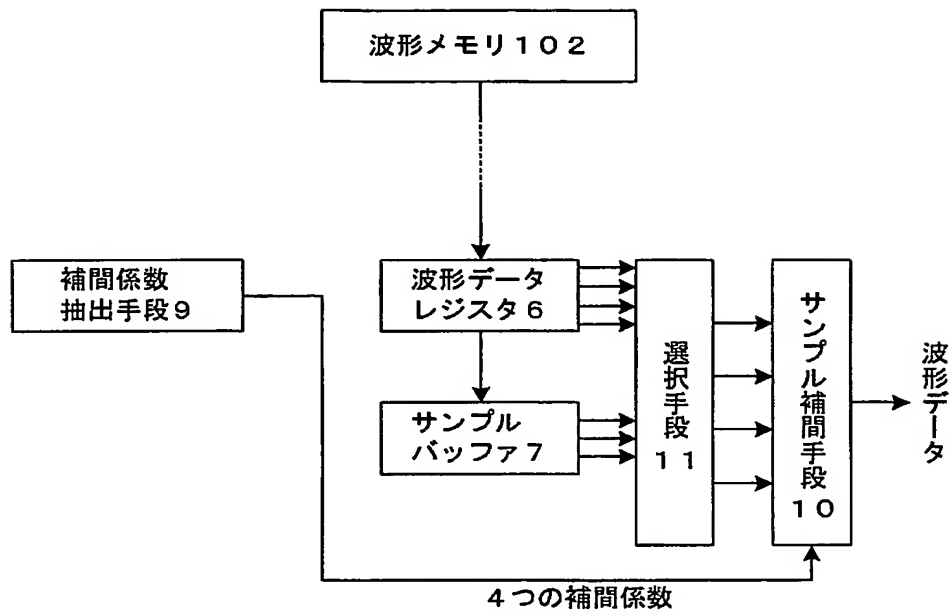
【図 10】



【図 11】



【図 12】



【書類名】要約書

【要約】

【課題】 使用していないスレーブ音源のアクセスタイミングを有効に利用できる波形再生装置を提供する。

【解決手段】 モード切替手段 1 と、累算器 2 と、上位アドレス加工手段 3 と、他音源アドレス記憶手段 4 と、アドレス切替出力手段 5 と、波形データレジスタ 6 と、サンプルバッファ 7 と、補間係数記憶手段 8 と、補間係数抽出手段 9 と、サンプル補間手段 10 と、選択手段 11 とを備えたマスタ音源 100 により構成されている。

【選択図】 図 2

特願 2 0 0 3 - 4 0 8 3 9 3

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 1 4 1 0 ]

1. 変更年月日

1 9 9 0 年 8 月 1 0 日

[変更理由]

新規登録

住 所

静岡県浜松市寺島町 2 0 0 番地

氏 名

株式会社河合楽器製作所

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/017685

International filing date: 29 November 2004 (29.11.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2003-408393  
Filing date: 08 December 2003 (08.12.2003)

Date of receipt at the International Bureau: 27 January 2005 (27.01.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse